

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-046190

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 06-178015

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 29.07.1994

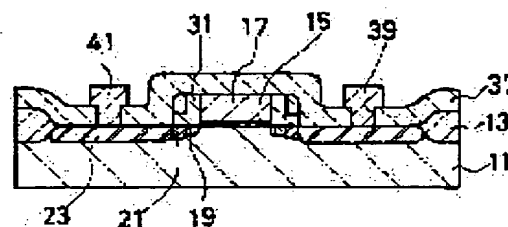
(72)Inventor : TOIDA TAKASHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To form an intermediate-doped region without a thermal diffusion process and control the impurity atom concentration profile of the intermediate-doped region by the film thickness of a first insulating film by doping impurities into a region where a gate electrode and the first insulating film or a side wall which is formed on a side wall of the gate electrode are aligned and thereby forming the intermediate-doped region.

CONSTITUTION: Arsenic is doped as impurities whose conductivity type is N into a part of a semiconductor substrate 11 where a gate electrode 17 and a first insulating film formed on a side wall of the gate electrode 17 are aligned and thereby an intermediate-doped region 21 is formed. By this, the impurity atom concentration profiles of the intermediate-doped region 21 and the high-doped region 23 can be controlled by the thickness of the insulating film. As a result, the controllability of the impurity atom concentration profiles is increased and a MOS field effect transistor which has a triple diffusion structure can be manufactured with high accuracy.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-46190

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336			H 0 1 L 29/ 78 3 0 1 L 3 0 1 P	

審査請求 未請求 請求項の数16 O L (全 12 頁)

(21)出願番号 特願平6-178015

(22)出願日 平成6年(1994)7月29日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 戸井田 孝志

埼玉県所沢市大字下富字武野840番地 シ

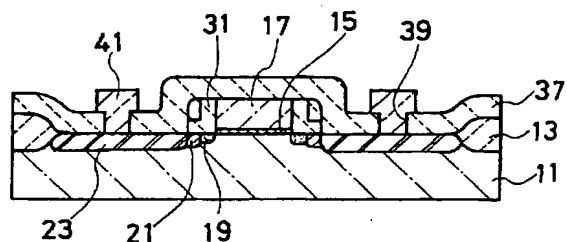
チズン時計株式会社技術研究所内

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【構成】 ゲート電極17の整合する領域に設ける低濃度領域19と、ゲート電極側壁の第1の絶縁膜の整合する領域に設ける中濃度領域21と、ゲート電極とサイドウォール31との整合する領域に設ける高濃度領域23と、コンタクトホール39を有する層間絶縁膜37と、配線41とを備える半導体装置およびその製造方法。

【効果】 従来のように熱拡散処理工程を必要としない。そして第1の実施例では第1の絶縁膜の膜厚、第2と第3の実施例では第1のサイドウォールで中濃度領域の不純物濃度分布を制御している。このため三重拡散構造を制御性よく形成することができる。



10

20

30

40

50

【請求項 9】 第 1 の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、ゲート電極の整合する領域の半導体基板に第 2 の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第 1 の絶縁膜を形成し、ゲート電極とこのゲート電極側壁の第 1 の絶縁膜との整合する領域の半導体基板にを介して第 2 の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第 2 の絶縁膜を形成し、

を形成する工程と、全面に酸化シリコン膜からなる第2の絶縁膜を形成し、異方性エッチングを行い第2の絶縁膜からなる第2のサイドウォールを第1のサイドウォール側壁に形成して第1のサイドウォールと第2のサイドウォールとからなるサイドウォールを形成する工程と、ゲート電極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項１３】 第１の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、このゲート電極の整合する領域の半導体基板に第２の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第１の絶縁膜を形成し、異方性エッチングを行い第１の絶縁膜からなるサイドウォールをゲート電極の側壁に形成し、ゲート電極とサイドウォールとの整合する領域の半導体基板に第２の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第２の絶縁膜を形成する工程と、ゲート電極と第１のサイドウォールと第１のサイドウォールの側壁の第２の絶縁膜との整合する領域の半導体基板に第２の導電型の不純物を導入して高濃度領域を形成する工程と、層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 第1の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、このゲート電極の整合する領域の半導体基板に第2の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第1の絶縁膜を形成し、異方性エッチングを行い第1の絶縁膜からなるサイドウォールをゲート電極の側壁に形成し、ゲート電極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第2の絶縁膜を形成する工程と、ゲート電極と第1のサイドウォールと第1のサイドウォールの側壁の第2の絶縁膜との整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、第3の絶縁膜を形成して第2の絶縁膜と第3の絶縁膜とからなる層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】 第1の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、このゲート電極の整合する領域の半導体基板に第2の導電型の不純物を導入して低濃度領域を形成する工程と、全面に酸化シリコン膜からなる第1の絶縁膜を形成し、異方性エッチングを行い第1の絶縁膜からなるサイドウォールをゲート電極の側壁に形成し、ゲート電

極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して中濃度領域を形成する工程と、全面に酸化シリコン膜からなる第2の絶縁膜を形成する工程と、ゲート電極と第1のサイドウォールと第1のサイドウォールの側壁の第2の絶縁膜との整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 第1の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、このゲート電極の整合する領域の半導体基板に第2の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第1の絶縁膜を形成し、異方性エッチングを行い第1の絶縁膜からなるサイドウォールをゲート電極の側壁に形成し、ゲート電極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第2の絶縁膜を形成する工程と、ゲート電極と第1のサイドウォールと第1のサイドウォールの側壁の第2の絶縁膜との整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、不純物を含む酸化シリコン膜からなる第3の絶縁膜を形成して第2の絶縁膜と第3の絶縁膜とからなる層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の構造とこの構造を形成するための製造方法とに関し、とくにMOS（金属-酸化-半導体）型電界効果トランジスタのソースドレイン領域が低濃度領域と中濃度領域と高濃度領域との三重拡散構造を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】MOS型電界効果トランジスタのドレイン領域の電界を緩和する手段として、ソースドレイン領域を低濃度領域と高濃度領域との二重拡散構造とすることが知られている。

【0003】しかしながらこの二重拡散構造では、低濃度領域が直列抵抗として機能して、MOS型電界効果トランジスタ特性の相互コンダクタンスが劣化するという問題点が発生する。

【0004】そこで、ソースドレイン領域として、低濃度領域と中濃度領域と高濃度領域との三重拡散構造を採用することにより、直列抵抗を低くして、MOS型電界効果トランジスタ特性の劣化を抑えることが、たとえば特開昭61-139070号公報にて提案されている。

【0005】この上記公報に記載の三重拡散構造を有するMOS型電界効果トランジスタの製造方法を、図15から図18の断面図を使用して説明する。

【0006】まずはじめに図15に示すように、導電型がp型の半導体基板11の素子分離領域に素子分離絶縁膜13を形成し、ゲート絶縁膜15とゲート電極17とを順次形成する。

【0007】その後、ゲート電極17の整合する領域の半導体基板11に、n型の不純物であるリンを導入して、低濃度領域19を形成する。

【0008】つぎに図16に示すように、全面に絶縁膜を形成し、さらにこの絶縁膜を異方性エッチングして、ゲート電極17の側壁にサイドウォール31を形成する。

【0009】その後、ゲート電極17とサイドウォール31との整合する領域の半導体基板11に、n型の不純物である砒素を導入して中濃度領域21を形成する。

【0010】つぎに図17に示すように、熱処理を行い、中濃度領域21の不純物である砒素をサイドウォール31の下面領域にまで拡散させる。

【0011】つぎに図18に示すように、ゲート電極17とサイドウォール31との整合する領域の半導体基板11に、n型の不純物である砒素を導入して高濃度領域23を形成する。

【0012】

【発明が解決しようとする課題】図15から図18を用いて説明したMOS型電界効果トランジスタの製造方法においては、高濃度領域23と低濃度領域19とのあいだに中濃度領域21を設けている。

【0013】このため低濃度領域19の長さを相対的に短くすることができる。この結果、低濃度領域19の直列抵抗の増大がなく、MOS型電界効果トランジスタの素子特性の劣化を抑えることができる。

【0014】しかしながら中濃度領域21の形成は、ゲート電極17とサイドウォール31との整合する領域の半導体基板11に不純物を導入し、そしてその後、加熱処理を行い、この加熱処理によって、不純物を横方向に拡散させ、中濃度領域21を形成している。

【0015】このため不純物は横方向拡散と同時に深さ方向にも拡散してしまい、所定の不純物濃度分布を精度よく得ることは難しい。

【0016】本発明の目的は、上記課題を解決して、三重拡散構造を有するMOS型電界効果トランジスタの不純物濃度分布を精度よく制御することが可能な半導体装置の構造とその製造方法とを提供することである。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明の半導体装置の構成とその製造方法は、下記記載の手段を採用する。

【0018】本発明の半導体装置は、第1の導電型の半

導体基板のゲート絶縁膜を介して設けるゲート電極と、このゲート電極の整合する領域に設ける第2の導電型の低濃度領域と、ゲート電極とこのゲート電極側壁の第1の絶縁膜との整合する領域に設ける第2の導電型の中濃度領域と、ゲート電極の側壁に設ける第1の絶縁膜と第2の絶縁膜とからなるサイドウォールと、ゲート電極とサイドウォールとの整合する領域に設ける第2の導電型の高濃度領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介して高濃度領域と接続する配線とを備えることを特徴とする。

【0019】本発明の半導体装置は、第1の導電型の半導体基板のゲート絶縁膜を介して設けるゲート電極と、ゲート電極の整合する領域に設ける第2の導電型の低濃度領域と、ゲート電極とこのゲート電極側壁の第1の絶縁膜からなる第1のサイドウォールとの整合する領域に設ける第2の導電型の中濃度領域と、ゲート電極の側壁に設ける第1のサイドウォールと第2のサイドウォールとからなるサイドウォールと、ゲート電極とサイドウォールとの整合する領域に設ける第2の導電型の高濃度領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介して高濃度領域と接続する配線とを備えることを特徴とする。

【0020】本発明の半導体装置は、第1の導電型の半導体基板のゲート絶縁膜を介して設けるゲート電極と、ゲート電極の整合する領域に設ける第2の導電型の低濃度領域と、ゲート電極とこのゲート電極側壁の第1の絶縁膜からなるサイドウォールとの整合する領域に設ける第2の導電型の中濃度領域と、ゲート電極の側壁に設けるサイドウォールと第2の絶縁膜との整合する領域に設ける第2の導電型の高濃度領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介して高濃度領域と接続する配線とを備えることを特徴とする。

【0021】本発明の半導体装置の製造方法は、第1の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、ゲート電極の整合する領域の半導体基板に第2の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第1の絶縁膜を形成し、ゲート電極とこのゲート電極側壁の第1の絶縁膜との整合する領域の半導体基板に第2の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第2の絶縁膜を形成し、異方性エッチングを行って、第1の絶縁膜と第2の絶縁膜とからなるサイドウォールをゲート電極側壁に形成し、ゲート電極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする。

【0022】本発明の半導体装置の製造方法は、第1の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、このゲート電極

の整合する領域の半導体基板に第2の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第1の絶縁膜を形成し、異方性エッチングを行い第1の絶縁膜からなる第1のサイドウォールをゲート電極の側壁に形成し、ゲート電極と第1のサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第2の絶縁膜を形成し、異方性エッチングを行い第2の絶縁膜からなる第2のサイドウォールを第1のサイドウォール側壁に形成して第1のサイドウォールと第2のサイドウォールからなるサイドウォールを形成する工程と、ゲート電極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする。

【0023】本発明の半導体装置の製造方法は、第1の導電型の半導体基板に素子分離絶縁膜を形成し、ゲート絶縁膜を形成し、ゲート電極を形成し、ゲート電極の整合する領域の半導体基板に第2の導電型の不純物を導入して低濃度領域を形成する工程と、全面に第1の絶縁膜を形成し、異方性エッチングを行い第1の絶縁膜からなるサイドウォールをゲート電極の側壁に形成し、ゲート電極とサイドウォールとの整合する領域の半導体基板に第2の導電型の不純物を導入して中濃度領域を形成する工程と、全面に第2の絶縁膜を形成する工程と、ゲート電極と第1のサイドウォールと第1のサイドウォールの側壁の第2の絶縁膜との整合する領域の半導体基板に第2の導電型の不純物を導入して高濃度領域を形成する工程と、層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする。

【0024】

【作用】本発明の半導体装置の構造とその製造方法では、ゲート電極と、このゲート電極側壁の第1の絶縁膜あるいはサイドウォールとの整合する領域に不純物を導入して、中濃度領域を形成している。

【0025】このため従来技術のように、熱拡散工程を行うことなしに中濃度領域を形成しており、さらに第1の絶縁膜の膜厚によって、中濃度領域の不純物濃度分布を制御することができる。

【0026】この結果、三重拡散構造を有するMOS型電界効果トランジスタの不純物濃度分布を精度よく制御することが可能となる。

【0027】

【実施例】以下図面を用いて本発明の実施例における半導体装置の構造とその製造方法を説明する。

【0028】まずはじめに本発明の第1の実施例における三重拡散構造を有するMOS型電界効果トランジスタの構造を、図6の断面図を用いて説明する。

【0029】図6に示すように、半導体基板11の素子領域の周囲の素子分離領域に素子分離絶縁膜13を設ける。

【0030】さらに半導体基板11上のゲート絶縁膜15を介して設けるゲート電極17を有する。そしてこのゲート電極17に整合する領域の半導体基板11に低濃度領域19を設ける。

【0031】そして中濃度領域21は、ゲート電極17とこのゲート電極17側壁の第1の絶縁膜との整合する領域の半導体基板11に設ける。

【0032】さらにゲート電極17の側壁部に、第1の絶縁膜と第2の絶縁膜とからなるサイドウォール31を設ける。そして好ましくは、第1の絶縁膜と第2の絶縁膜とは、酸化シリコン膜で構成する。

【0033】そしてこのサイドウォール31とゲート電極17との整合する領域の半導体基板11に高濃度領域23を設ける。

【0034】さらに全面に層間絶縁膜37を設け、さらにこの層間絶縁膜37にコンタクトホール39を設ける。そしてこのコンタクトホール39を介して高濃度領域23と接続する配線41を設ける。

【0035】つぎにこの図6の断面図に示す三重拡散構造を有するMOS型電界効果トランジスタの構造を形成するための製造方法を、図1から図6の断面図を用いて説明する。

【0036】まずはじめに図1に示すように、導電型がp型の半導体基板11にパッド酸化膜（図示せず）を30nm程度の膜厚で形成する。このパッド酸化膜の形成は、酸素と窒素との混合気体中で、温度1000℃、時間40分の酸化処理条件で行う。

【0037】その後、化学気相成長法により、耐酸化膜（図示せず）として窒化シリコン膜を150nm程度の膜厚で形成する。この窒化シリコン膜は、反応ガスとしてジクロルシラン（ SiH_2Cl_2 ）とアンモニア（ NH_3 ）との混合ガスを用いる化学気相成長法により形成する。

【0038】その後、この窒化シリコン膜上の全面に回転塗布法によって、感光性樹脂（図示せず）を形成する。その後、所定のフォトリソマスクを用いて露光処理と、現像処理とを行い、この感光性樹脂を素子領域上に形成するようにパターニングする。

【0039】その後、このパターニングした感光性樹脂をエッチングマスクとして用いて、耐酸化膜をエッチングする。この窒化シリコン膜からなる耐酸化膜のエッチングは、反応性イオンエッチング装置を用い、エッチングガスとして六フッ化イオウ（ SF_6 ）とヘリウム（ He ）と三フッ化メタン（ CHF_3 ）との混合ガスを用いて行う。

【0040】その後、耐酸化膜を酸化防止膜として用い、この耐酸化膜を形成していない領域の半導体基板1

1に酸化シリコン膜を形成する選択酸化処理を行うことによって、素子分離領域に素子分離絶縁膜13を形成する。この素子分離絶縁膜13は700nmの膜厚で形成する。

【0041】この素子分離絶縁膜13は、酸素と水素との混合ガス雰囲気中で、1000℃の温度で、時間160分の酸化処理条件により形成する。

【0042】その後、耐酸化膜上の酸化シリコン膜をフッ酸系のエッチング液を用いて除去し、さらに窒化シリコン膜からなる耐酸化膜を加熱したリン酸を使用して除去する。さらにパッド酸化膜をフッ酸系のエッチング液を用いて除去する。

【0043】その後、ゲート絶縁膜15を25nm程度の膜厚で半導体基板11の素子領域上に形成する。このゲート絶縁膜15は、酸素雰囲気中で、温度950℃、時間45分の酸化処理条件で形成する。

【0044】その後、反応ガスとしてモノシラン（ SiH_4 ）を用いる化学気相成長法によって、全面に多結晶シリコン膜からなるゲート電極材料を400nm程度の膜厚で形成する。

【0045】その後、この多結晶シリコン膜上の全面に感光性樹脂を、回転塗布法により形成する。その後所定のフォトリソマスクを用いて露光処理と、現像処理とを行い、この感光性樹脂をゲート電極の形状に形成するようにパターニングする。

【0046】その後、このパターニングした感光性樹脂をエッチングマスクとして用いて、ゲート電極材料である多結晶シリコン膜をエッチングしてゲート電極17を形成する。

【0047】このゲート電極17のエッチング処理は、反応性イオンエッチング装置を使用して、エッチングガスとして六フッ化イオウ（ SF_6 ）と酸素（ O_2 ）との混合ガスを用いて行う。

【0048】その後、ゲート電極17に整合する領域の半導体基板11にn型の不純物として、リンを導入して低濃度領域19を形成する。

【0049】この低濃度領域19はイオン注入法によって形成し、そのイオン注入量としては 10^{11}cm^{-2} 程度の条件で行う。

【0050】つぎに図2に示すように、全面に酸化シリコン膜からなる第1の絶縁膜25を200nm程度の膜厚で形成する。この第1の絶縁膜25は、モノシランと酸素とを反応ガスとする化学気相成長法により形成する。

【0051】この第1の絶縁膜25は、前述のように化学気相成長法により形成している。このために、ゲート電極17の上面と側壁部とに形成する第1の絶縁膜25は、ほとんど同じ膜厚になる。

【0052】つぎに図3に示すように、ゲート電極17と、このゲート電極17側壁の第1の絶縁膜25との整

合する領域の半導体基板11に、導電型がn型の不純物として、砒素を導入して中濃度領域21を形成する。

【0053】この中濃度領域21はイオン注入法によって形成し、そのイオン注入量としては 10^{14} cm $^{-2}$ 程度の条件で行う。そして不純物の砒素が、ゲート電極17側壁領域以外の平坦部の第1の絶縁膜25を貫通し、半導体基板11に導入されるイオン注入条件により形成する。

【0054】つぎに図4に示すように、第1の絶縁膜25上の全面に酸化シリコン膜からなる第2の絶縁膜27を200nm程度の膜厚で形成する。この第1の絶縁膜27は、モノシランと酸素とを反応ガスとする化学気相成長法により形成する。

【0055】この第2の絶縁膜27も化学気相成長法により形成しているために、ゲート電極17の上面と側壁部とに形成する第2の絶縁膜27は、ほとんど同じ膜厚になる。

【0056】つぎに図5に示すように、異方性エッチングを行って、ゲート電極17の側壁領域に第1の絶縁膜25と第2の絶縁膜27とからなるサイドウォール31を形成する。

【0057】サイドウォール31を形成するための第1の絶縁膜25と第2の絶縁膜27との異方性エッチングは、反応性イオンエッチング装置を用い、反応ガスとして二フッ化メタン(CH $_2$ F $_2$)と三フッ化メタン(CHF $_3$)との混合ガスを使用して行う。

【0058】反応性イオンエッチング装置を用いる異方性エッチングにおいては、エッチングガスが半導体基板11表面に対してほぼ垂直に入射する。したがって、ゲート電極17の側壁領域では単位面積当たりのエッチングガスの入射量が少なく、エッチング速度が極端に遅くなる。

【0059】このためエッチング前の絶縁膜の形状がほぼ保たれたまま下方に平行移動し、ゲート電極17側壁に形成した絶縁膜の膜厚とほとんど同じ長さ寸法を有するサイドウォール31を形成することができる。すなわち形成する絶縁膜の膜厚によって、サイドウォール31の長さ寸法を制御することができる。なお、ここでサイドウォール31の長さとは、MOS型電界効果トランジスタのチャネル長方向での寸法をいう。

【0060】その後、サイドウォール31とゲート電極17との整合した領域の半導体基板11に、導電型がn型の不純物として、砒素を導入して高濃度領域23を形成する。

【0061】この高濃度領域23はイオン注入法により形成し、そのイオン注入量は 10^{15} cm $^{-2}$ 程度の条件で行う。

【0062】つぎに図6に示すように、全面にボロンとリンを含む酸化シリコン膜からなる層間絶縁膜37を400nm程度の膜厚で形成する。この層間絶縁膜37

は、反応ガスとしてモノシラン(SiH $_4$)と酸素(O $_2$)とホスフィン(PH $_3$)とジボラン(B $_2$ H $_6$)とを用いる化学気相成長法により形成する。

【0063】その後、ソースドレイン領域に導入した低濃度領域19と中濃度領域21と高濃度領域23との不純物の活性化と、層間絶縁膜37の表面平坦化と、この層間絶縁膜37の膜質の改善とを図るために熱処理を行う。

【0064】この不純物の活性化と層間絶縁膜37の熱処理条件は、窒素ガス雰囲気中で、温度900℃、時間30分の条件で行う。

【0065】その後、層間絶縁膜37上の全面に回転塗布法によって、感光性樹脂(図示せず)を形成する。その後、所定のフォトマスクを用いて露光処理と、現像処理を行い、コンタクトホール39に対応する開口部を有する感光性樹脂を形成するようにパターンニングする。

【0066】そしてこのパターンニングした感光性樹脂をエッチングマスクとして用い、層間絶縁膜37にコンタクトホール39を形成する。

【0067】コンタクトホール39のエッチングは、反応性イオンエッチング装置を用い、反応ガスとして二フッ化メタン(CH $_2$ F $_2$)と三フッ化メタン(CHF $_3$)とを用いて行う。

【0068】その後、配線材料としてシリコンと銅とを添加したアルミニウムを、スパッタリング装置を用いて、800nm程度の膜厚で全面に形成する。

【0069】その後、配線材料上の全面に回転塗布法により感光性樹脂(図示せず)を形成する。そして所定のフォトマスクを用いて露光処理と、現像処理とを行い、感光性樹脂を配線形状に形成するようにパターンニングする。

【0070】その後、パターンニングした感光性樹脂をエッチングマスクに用いて、配線41をパターンニングする。この配線41のエッチングは、反応性イオンエッチング装置を用い、エッチングガスとして塩素(Cl $_2$)と三塩化ホウ素(BCl $_3$)との混合ガスを用いて行う。

【0071】この結果、ソースドレイン領域が低濃度領域19と中濃度領域21と高濃度領域23との三重拡散構造を有するMOS型電界効果トランジスタを形成することができる。

【0072】以上説明したように、本発明の第1の実施例では、低濃度領域19はゲート電極17に整合した領域に形成し、中濃度領域21はゲート電極17とこのゲート電極17側壁の第1の絶縁膜25との整合した領域に形成し、さらに高濃度領域23はゲート電極17とサイドウォール31との整合した領域に形成している。

【0073】したがって、絶縁膜の膜厚によって中濃度領域21と高濃度領域23との不純物濃度分布を制御することが可能となる。この結果、不純物濃度分布の制御

13

性が向上し、三重拡散構造を有するMOS型電界効果トランジスタを精度よく形成することができる。

【0074】つぎに本発明の第2の実施例における半導体装置の構造と、この構造を形成するための製造方法を説明する。

【0075】まず本発明の第2の実施例における三重拡散構造を有するMOS型電界効果トランジスタの構造を、図11の断面図を用いて説明する。

【0076】図11に示すように、半導体基板11の素子分離領域に素子分離絶縁膜13を設ける。

【0077】さらに半導体基板11上のゲート絶縁膜15を介して設けるゲート電極17を有する。そしてこのゲート電極17に整合する領域の半導体基板11に低濃度領域19を設ける。

【0078】そして中濃度領域21は、ゲート電極17とこのゲート電極17側壁の第1のサイドウォール33との整合する領域の半導体基板11に設ける。

【0079】さらにゲート電極17の側壁部に、第1のサイドウォール33と第2のサイドウォール35とからなるサイドウォール31を設ける。そして好ましくは、第1のサイドウォール33と第2のサイドウォール35とは、酸化シリコン膜で構成する。

【0080】そしてこのサイドウォール31とゲート電極17との整合する領域の半導体基板11に高濃度領域23を設ける。

【0081】さらに全面に層間絶縁膜37を設け、さらにこの層間絶縁膜37にコンタクトホール39を設ける。そしてこのコンタクトホール39を介して高濃度領域23と接続する配線41を設ける。

【0082】つぎにこの図11の断面図に示す三重拡散構造を有するMOS型電界効果トランジスタの構造を形成するための製造方法を、図7から図11の断面図を用いて説明する。

【0083】まずはじめに図7に示すように、導電型がp型の半導体基板11の素子分離領域に、耐酸化膜を酸化防止膜として用い、この耐酸化膜を形成していない領域の半導体基板11に酸化シリコン膜を形成する選択酸化処理を行うことによって、素子分離領域に素子分離絶縁膜13を形成する。なお、この素子分離絶縁膜13は700nm程度の膜厚で形成する。

【0084】その後、ゲート絶縁膜15を25nm程度の膜厚で半導体基板11の素子領域上に形成する。その後、反応ガスとしてモノシランを用いる化学気相成長法により、全面に多結晶シリコン膜からなるゲート電極材料を形成する。なお、この多結晶シリコン膜は、400nm程度の膜厚で形成する。

【0085】その後、感光性樹脂をエッチングマスクに用いて、多結晶シリコン膜をエッチングしてゲート電極17を形成する。

【0086】その後、ゲート電極17に整合する領域の

14

半導体基板11に、n型の不純物としてリンを導入して、低濃度領域19を形成する。この低濃度領域19のイオン注入量としては、 10^{13} cm^{-2} 程度の条件で行う。

【0087】その後、化学気相成長法により、全面に酸化シリコン膜からなる第1の絶縁膜25を200nm程度の膜厚で形成する。

【0088】その後、異方性エッチングを行って、ゲート電極17の側壁領域に第1の絶縁膜25からなる第1のサイドウォール33を形成する。

【0089】この第1のサイドウォール33を形成するための第1の絶縁膜25の異方性エッチングは、反応性イオンエッチング装置を用い、反応ガスとして二フッ化メタン(CH_2F_2)と三フッ化メタン(CHF_3)との混合ガスを使用して行う。

【0090】つぎに図8に示すように、ゲート電極17と、このゲート電極17側壁の第1のサイドウォール33との整合する領域の半導体基板11に、導電型がn型の不純物として砒素を導入して中濃度領域21を形成する。

【0091】この中濃度領域21はイオン注入法によって形成し、そのイオン注入量としては 10^{14} cm^{-2} 程度の条件で行う。

【0092】つぎに図9に示すように、全面に酸化シリコン膜からなる第2の絶縁膜27を200nm程度の膜厚で形成する。この第1の絶縁膜27は、モノシランと酸素とを反応ガスとする化学気相成長法により形成する。

【0093】つぎに図10に示すように、異方性エッチングを行って、ゲート電極17の側壁の第1のサイドウォール33の側面に第2の絶縁膜27からなる第2のサイドウォール35を形成する。

【0094】この結果、第1のサイドウォール33と第2のサイドウォール35とからなるサイドウォール31をゲート電極17の側壁領域に形成することができる。

【0095】その後、サイドウォール31とゲート電極17との整合した領域の半導体基板11に、導電型がn型の不純物として、砒素を導入して高濃度領域23を形成する。

【0096】この高濃度領域23はイオン注入法により形成し、そのイオン注入量は 10^{15} cm^{-2} 程度の条件で行う。

【0097】つぎに図11に示すように、全面にボロンとリンとを含む酸化シリコン膜からなる層間絶縁膜37を形成する。

【0098】その後、不活性ガス雰囲気中で熱処理を行い、ソースドレイン領域に導入した低濃度領域19と中濃度領域21と高濃度領域23との不純物の活性化と、層間絶縁膜37の表面平坦化と、この層間絶縁膜37の膜質の改善とを図る。

【0099】さらにその後、パターンニングした感光性樹脂をエッチングマスクとして用い、層間絶縁膜37をエッチングして、コンタクトホール39を形成する。

【0100】その後、配線材料としてシリコンと銅とを添加したアルミニウムを、スパッタリング装置を用いて、800nm程度の膜厚で形成する。

【0101】さらにその後、パターンニングした感光性樹脂をエッチングマスクに用いて、配線材料をエッチングして配線41を形成する。

【0102】この結果、ソースドレイン領域が低濃度領域19と中濃度領域21と高濃度領域23との三重拡散構造を有するMOS型電界効果トランジスタを形成することができる。

【0103】以上説明したように、本発明の第2の実施例では、低濃度領域19はゲート電極17に整合した領域に形成し、中濃度領域21はゲート電極17とこのゲート電極17側壁の第1のサイドウォール33との整合した領域に形成し、さらに高濃度領域23はゲート電極17とサイドウォール31との整合した領域に形成している。

【0104】したがって、絶縁膜の膜厚によって中濃度領域21と高濃度領域23との不純物濃度分布を制御することが可能となる。この結果、不純物濃度分布の制御性が向上し、三重拡散構造を有するMOS型電界効果トランジスタを精度よく形成することができる。

【0105】つぎに本発明の第3の実施例における半導体装置の構造と、この構造を形成するための製造方法を説明する。

【0106】まず本発明の第3の実施例における三重拡散構造を有するMOS型電界効果トランジスタの構造を、図14の断面図を用いて説明する。

【0107】図14に示すように、半導体基板11の素子分離領域に素子分離絶縁膜13を設ける。

【0108】さらに半導体基板11上にゲート絶縁膜15を介して設けるゲート電極17を有する。そしてこのゲート電極17に整合する領域の半導体基板11に低濃度領域19を設ける。

【0109】そして中濃度領域21は、第1の絶縁膜からなるサイドウォール31とゲート電極15との整合する領域の半導体基板11に設ける。

【0110】そして高濃度領域23は、ゲート電極15と、サイドウォール31と、このサイドウォール31側壁の第2の絶縁膜27との整合する領域の半導体基板11に設ける。

【0111】さらに、第2の絶縁膜27と第3の絶縁膜29とからなる層間絶縁膜37を設ける。

【0112】そしてこの層間絶縁膜37にコンタクトホール39を設ける。そしてこのコンタクトホール39を介して高濃度領域23と接続する配線41を設ける。

【0113】そして好ましくは、第1の絶縁膜25と第

2の絶縁膜27とは、酸化シリコン膜で構成し、第3の絶縁膜29はボロンとリンとを添加する酸化シリコン膜で構成する。

【0114】つぎに図14の断面図に示す三重拡散構造を有するMOS型電界効果トランジスタの構造を形成するための製造方法を、図12から図14の断面図を用いて説明する。

【0115】まずはじめに図12に示すように、導電型がp型の半導体基板11の素子分離領域に、耐酸化膜を酸化防止膜として用い、この耐酸化膜を形成していない領域の半導体基板11に酸化シリコン膜を形成する選択酸化処理を行うことにより、素子分離領域に素子分離絶縁膜13を形成する。なお、この素子分離絶縁膜13は700nm程度の膜厚で形成する。

【0116】その後、ゲート絶縁膜15を25nm程度の膜厚で、半導体基板11の素子領域上に形成する。その後、反応ガスとしてモノシラン(SiH_4)を用いる化学気相成長法によって、全面に多結晶シリコン膜からなるゲート電極材料を形成する。なお、この多結晶シリコン膜は400nm程度の膜厚で形成する。

【0117】その後、感光性樹脂をエッチングマスクに用いて、多結晶シリコン膜をエッチングしてゲート電極17を形成する。

【0118】その後、ゲート電極17の整合した領域の半導体基板11にn型の不純物として、リンを導入して低濃度領域19を形成する。この低濃度領域19のイオン注入量としては、 10^{13} cm^{-2} 程度の条件で行う。

【0119】その後、化学気相成長法により、全面に酸化シリコン膜からなる第1の絶縁膜25を200nm程度の膜厚で形成する。

【0120】その後、異方性エッチングを行って、ゲート電極17の側壁領域に第1の絶縁膜25からなるサイドウォール31を、異方性エッチングにより形成する。

【0121】その後、ゲート電極17と、このゲート電極17側壁のサイドウォール31との整合する領域の半導体基板11に、導電型がn型の不純物として砒素を導入して中濃度領域21を形成する。

【0122】この中濃度領域21はイオン注入法によって形成し、そのイオン注入量としては 10^{14} cm^{-2} 程度の条件で行う。

【0123】その後、全面に酸化シリコン膜からなる第2の絶縁膜27を200nm程度の膜厚で形成する。この第2の絶縁膜27は、モノシランと酸素とを反応ガスとする化学気相成長法により形成する。

【0124】この第2の絶縁膜27は化学気相成長法により形成しているために、ゲート電極17の上面と側壁部とに形成する第2の絶縁膜27は、ほとんど同じ膜厚になる。

【0125】つぎに図13に示すように、ゲート電極17と、このゲート電極17側壁のサイドウォール31

と、サイドウォール31側壁の第2の絶縁膜27との整合する領域の半導体基板11に、導電型がn型の不純物として砒素を導入して高濃度領域23を形成する。

【0126】この高濃度領域23はイオン注入法によって形成し、そのイオン注入量としては 10^{13} cm^{-2} 程度の条件で行う。そして不純物の砒素が平坦部の第2の絶縁膜27を貫通して、半導体基板11に導入されるイオン注入条件により高濃度領域23を形成する。

【0127】つぎに図14に示すように、第2の絶縁膜27上の全面にボロンとリンを含む酸化シリコン膜からなる第3の絶縁膜29を形成する。

【0128】この第3の絶縁膜29の形成は、反応ガスとしてモノシラン(SiH_4)と酸素(O_2)とホスフィン(PH_3)とジボラン(B_2H_6)とを用いる化学気相成長法によって行う。

【0129】この結果、酸化シリコン膜からなる第2の絶縁膜27と、リンとボロンとの不純物を含む酸化シリコン膜からなる第3の絶縁膜29との2層膜からなる層間絶縁膜37を形成する。

【0130】その後、不活性ガス雰囲気中で熱処理を行い、ソースドレイン領域に導入した低濃度領域19と中濃度領域21と高濃度領域23との不純物の活性化と、層間絶縁膜37の表面平坦化と、この層間絶縁膜37の膜質の改善とを図る。

【0131】さらにその後、パターニングした感光性樹脂をエッチングマスクとして用い、層間絶縁膜37をエッチングして、コンタクトホール39を形成する。

【0132】その後、配線材料としてシリコンと銅とを添加したアルミニウムを、スパッタリング装置を用いて、800nm程度の膜厚で全面に形成する。

【0133】さらにその後、パターニングした感光性樹脂をエッチングマスクに用いて、配線材料をエッチングして配線41を形成する。

【0134】この結果、ソースドレイン領域が低濃度領域19と中濃度領域21と高濃度領域23との三重拡散構造を有するMOS型電界効果トランジスタを形成することができる。

【0135】以上説明したように、本発明の第3の実施例では、低濃度領域19はゲート電極17に整合した領域に形成し、中濃度領域21はゲート電極17とこのゲート電極17側壁のサイドウォール31との整合した領域に形成し、さらに高濃度領域23はゲート電極17とサイドウォール31と第2の絶縁膜27との整合した領域の半導体基板11に形成している。

【0136】したがって、絶縁膜の膜厚によって中濃度領域21と高濃度領域23との不純物濃度分布を制御することができる。この結果、不純物濃度分布の制御性が向上し、三重拡散構造を有するMOS型電界効果トランジスタを精度よく形成することができる。

【0137】以上の第1から第3の実施例の説明におい

て、第1の絶縁膜25と第2の絶縁膜27とは酸化シリコン膜を適用する実施例で説明したが、酸化シリコン膜以外にリンやボロンの不純物を含む酸化シリコン膜や窒化シリコン膜でも適用可能である。

【0138】さらに第1の絶縁膜25と第2の絶縁膜27とは、異なる被膜で構成してもよい。

【0139】さらにまた以上の実施例における説明では、nチャネルのMOS型電界効果トランジスタに三重拡散構造を形成する実施例で説明したが、本発明はpチャネルのMOS型電界効果トランジスタにも適用可能である。

【0140】

【発明の効果】以上の説明から明らかなように、本発明における三重拡散構造を有するMOS型電界効果トランジスタは、従来のように中濃度領域を形成するために熱拡散処理工程を必要としない。

【0141】そして、第1の実施例においてはゲート電極側壁の第1の絶縁膜の膜厚で中濃度領域の不純物濃度分布を制御し、第2と第3の実施例においてはゲート電極側壁の第1のサイドウォールで中濃度領域の不純物濃度分布を制御している。このために、三重拡散構造を有するMOS型電界効果トランジスタを制御性よく形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の製造方法を示す断面図である。

【図2】本発明の第1の実施例における半導体装置の製造方法を示す断面図である。

【図3】本発明の第1の実施例における半導体装置の製造方法を示す断面図である。

【図4】本発明の第1の実施例における半導体装置の製造方法を示す断面図である。

【図5】本発明の第1の実施例における半導体装置の製造方法を示す断面図である。

【図6】本発明の第1の実施例における半導体装置の構造とこの構造を形成するための製造方法とを示す断面図である。

【図7】本発明の第2の実施例における半導体装置の製造方法を示す断面図である。

【図8】本発明の第2の実施例における半導体装置の製造方法を示す断面図である。

【図9】本発明の第2の実施例における半導体装置の製造方法を示す断面図である。

【図10】本発明の第2の実施例における半導体装置の製造方法を示す断面図である。

【図11】本発明の第2の実施例における半導体装置の構造とこの構造を形成するための製造方法とを示す断面図である。

【図12】本発明の第3の実施例における半導体装置の製造方法を示す断面図である。

19

【図13】本発明の第3の実施例における半導体装置の製造方法を示す断面図である。

【図14】本発明の第3の実施例における半導体装置の構造とこの構造を形成するための製造方法とを示す断面図である。

【図15】従来例における半導体装置の製造方法を示す断面図である。

【図16】従来例における半導体装置の製造方法を示す断面図である。

【図17】従来例における半導体装置の製造方法を示す断面図である。

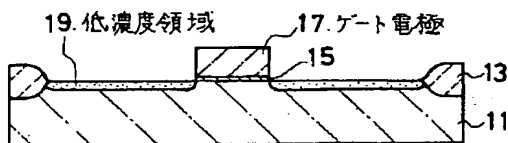
20

*【図18】従来例における半導体装置の製造方法を示す断面図である。

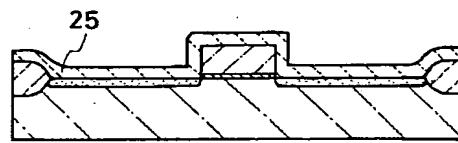
【符号の説明】

- 17 ゲート電極
- 19 低濃度領域
- 21 中濃度領域
- 23 高濃度領域
- 25 第1の絶縁膜
- 27 第2の絶縁膜
- 29 第3の絶縁膜
- 31 サイドウォール

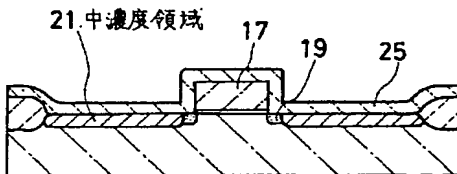
【図1】



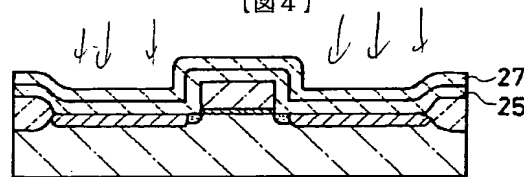
【図2】



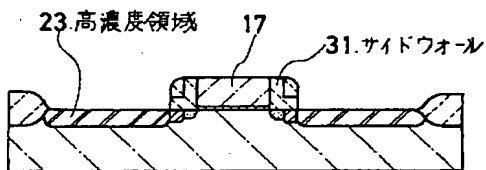
【図3】



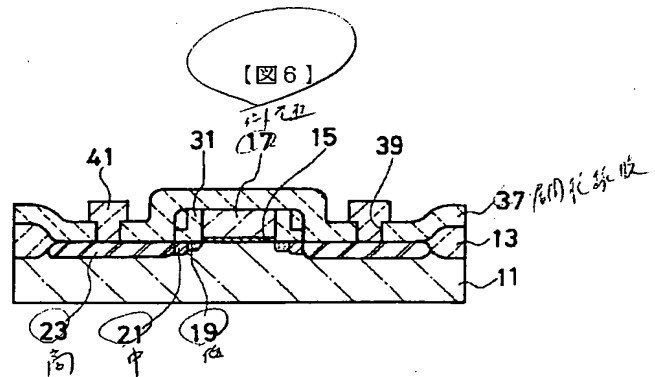
【図4】



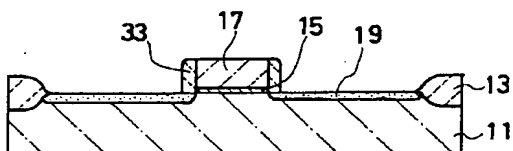
【図5】



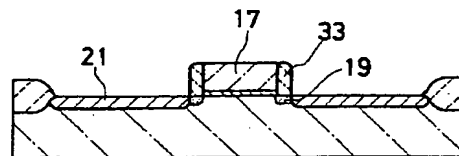
【図6】



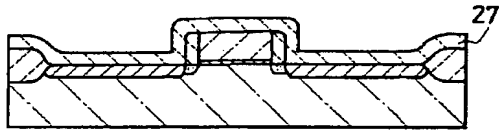
【図7】



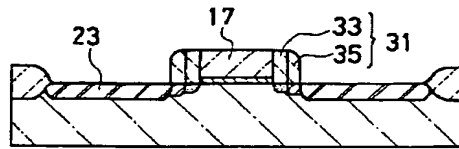
【図8】



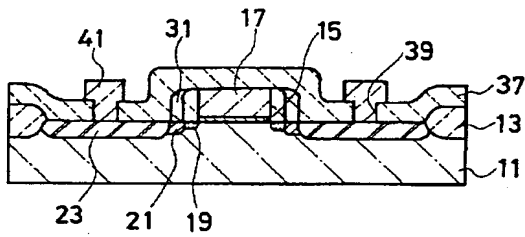
【図9】



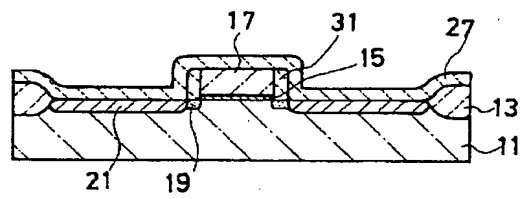
【図10】



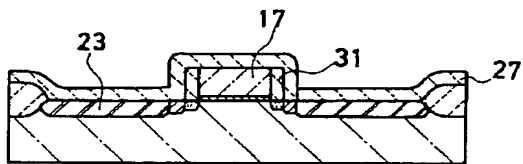
【図11】



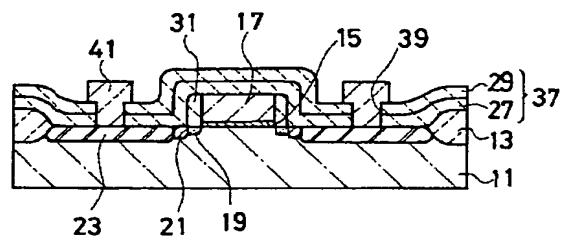
【図12】



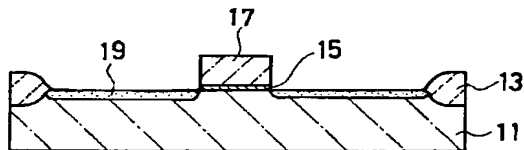
【図13】



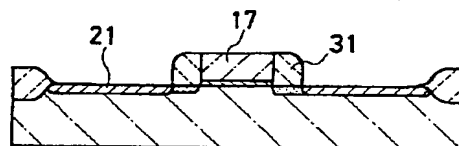
【図14】



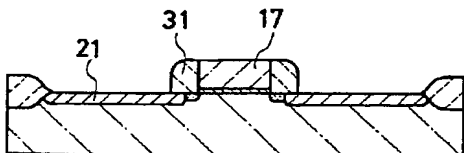
【図15】



【図16】



【図17】



【図18】

